



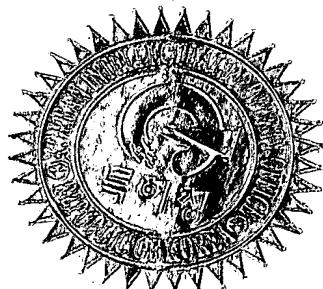
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0054587
Application Number

출 원 년 월 일 : 2003년 08월 07일
Date of Application AUG 07, 2003

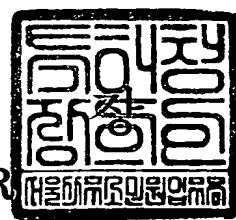
출 원 인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 21 일

특 허 청

COMMISSIONER



【서지사항】

| | | | |
|------------|---|---|----------|
| 【서류명】 | 특허출원서 | | |
| 【권리구분】 | 특허 | | |
| 【수신처】 | 특허청장 | | |
| 【참조번호】 | 0007 | | |
| 【제출일자】 | 2003.08.07 | | |
| 【발명의 명칭】 | 반도체의 고용량 엠아이엠 커패시터 제조 방법 | | |
| 【발명의 영문명칭】 | METHOD FOR MANUFACTURING HIGH MEASURE OF CAPACITY MIM CAPACITOR IN SEMICONDUCTOR | | |
| 【출원인】 | | | |
| 【명칭】 | 동부전자 주식회사 | | |
| 【출원인코드】 | 1-1998-106725-7 | | |
| 【대리인】 | | | |
| 【성명】 | 장성구 | | |
| 【대리인코드】 | 9-1998-000514-8 | | |
| 【포괄위임등록번호】 | 1999-059722-7 | | |
| 【대리인】 | | | |
| 【성명】 | 김원준 | | |
| 【대리인코드】 | 9-1998-000104-8 | | |
| 【포괄위임등록번호】 | 1999-059725-9 | | |
| 【발명자】 | | | |
| 【성명의 국문표기】 | 이기민 | | |
| 【성명의 영문표기】 | LEE,Ki-min | | |
| 【주민등록번호】 | 720509-1056912 | | |
| 【우편번호】 | 150-815 | | |
| 【주소】 | 서울특별시 영등포구 대림3동 750-12 38/3 | | |
| 【국적】 | KR | | |
| 【심사청구】 | 청구 | | |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 장성구 (인) 대리인 김원준 (인) | | |
| 【수수료】 | | | |
| 【기본출원료】 | 14 | 면 | 29,000 원 |
| 【가산출원료】 | 0 | 면 | 0 원 |

1020030054587

출력 일자: 2003/10/23

| | | | | |
|----------|-------------------|---|---------|---|
| 【우선권주장료】 | 0 | 건 | 0 | 원 |
| 【심사청구료】 | 13 | 항 | 525,000 | 원 |
| 【합계】 | | | 554,000 | 원 |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 | | | |

【요약서】**【요약】**

본 발명은 반도체의 MIM 커패시터 제조 방법에 관한 것으로, 반도체 메탈 라인 상에 층간 절연막을 증착하는 단계와, 층간 절연막에 대하여 PR 패터닝을 수행한 후, MIM 형성부를 식각하는 단계와, 식각된 상태에서, 하부 전극, 인슐레이터, 상부 전극 층을 순차적으로 증착하는 단계와, 상부 전극이 증착된 상태에서, PR 패터닝 및 식각을 수행하여 MIM 커패시터를 제조하는 단계를 포함한다. 따라서, 절연막 두께에 해당하는 만큼의 용량 증대를 도모할 수 있어 고용량을 확보할 수 있으며, 용량 확보를 위해 전극 면적을 증가시킬 필요가 없어 고집적화 측면에서 유리하다. 또한, 인슐레이터를 식각할 경우, 하부 전극 위에 메탈 표면에서 스퍼터링되어 인슐레이터 측벽에 재 증착되는 메탈성 폴리머로 인하여 발생되는 쇼트 현상을 없앨 수 있어 반도체 공정 마진 및 소자 특성을 향상시킬 수 있는 효과가 있다.

【대표도】

도 2f

【색인어】

MIM 커패시터, 하부 전극, 인슐레이터, 상부 전극

【명세서】**【발명의 명칭】**

반도체의 고용량 엠아이엠 커패시터 제조 방법 {METHOD FOR MANUFACTURING HIGH MEASURE OF CAPACITY MIM CAPACITOR IN SEMICONDUCTOR}

【도면의 간단한 설명】

도 1은 기존 반도체의 MIM 커패시터 구조를 도시한 도면이며,

도 2는 본 발명의 일 실시예에 따른 반도체의 고용량 MIM 커패시터 제조 과정에 대하여 도시한 도면이며,

도 3은 본 발명의 다른 실시예에 따른 반도체의 고용량 MIM 커패시터 제조 과정에 대하여 도시한 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체의 고용량 엠아이엠(Metal Insulator Metal, MIM) 커패시터 제조 방법에 관한 것으로, 특히, 반도체 소자 제조에 있어서, 절연막 두께에 해당되는 만큼의 고용량 MIM 커패시터를 제조할 수 있도록 하는 방법에 관한 것이다.

<5> 통상적으로, 반도체의 MIM 커패시터 구조는 도 1에 도시된 바와 같이, 하부 전극(메탈 라인)(10) 상에 ARC 질화 티타늄(20)을 증착한다.

<6> 이어서, ARC 질화 티타늄(20) 상에 인슐레이터(30)를 증착 및 식각하고, 그 위에 상부 전극(40)을 증착한다.

<7> 이때, 인슐레이터(30)를 식각할 경우, 하부 전극(메탈 라인)(10)이 동시에 식각(etch)되어 하부 전극(10) 상의 메탈 표면으로 스퍼터링되어 인슐레이터(30) 측벽에 재 증착되는 메탈 성 풀리머로 인하여 쇼트 현상이 발생하게 되는 결함(shortage)을 갖게 되며, 또한 상부 전극(40)과 하부 전극(10)을 비 입체적으로 형성하기 때문에 고용량을 확보할 수 없으며, 용량 확보가 어려워 전극 면적을 증가시켜야만 하는 문제점을 갖고 있다.

【발명이 이루고자 하는 기술적 과제】

<8> 이에, 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 그 목적은 메탈 라인 상에 절연막을 증착 및 식각한 후, 그 위에 하부 전극, 인슐레이터, 상부 전극 층을 순차적으로 증착한 다음에 식각 또는 CMP를 통해 원하는 형상의 MIM 커패시터를 제조할 수 있도록 하는 반도체의 MIM 커패시터 제조 방법을 제공함에 있다.

<9> 이러한 목적을 달성하기 위한 본 발명의 일 실시예에 따라 반도체의 MIM 커패시터 제조 방법은 반도체 메탈 라인 상에 층간 절연막을 증착하는 단계와, 층간 절연막에 대하여 PR 패터닝을 수행한 후, MIM 형성부를 식각하는 단계와, 식각된 상태에서, 하부 전극, 인슐레이터, 상부 전극 층을 순차적으로 증착하는 단계와, 상부 전극이 증착된 상태에서, PR 패터닝 및 식각을 수행하여 MIM 커패시터를 제조하는 단계를 포함하는 것을 특징으로 한다.

<10> 이러한 목적을 달성하기 위한 본 발명의 다른 실시예에 따라 반도체의 MIM 커패시터 제조 방법은 반도체 메탈 라인 상에 층간 절연막을 증착하는 단계와, 층간 절연막을 평탄화시켜 패터닝(patterning)하는 단계와, 패터닝된 상태에서, 하부 전극, 인슐레이터, 상부 전극 층을 순차적으로 증착하는 단계와, 상부 전극이 증착된 상태에서, CMP 공정 과정을 통해 MIM 커패시터를 제조하는 단계를 포함하는 것을 특징으로 한다.

【발명의 구성 및 작용】

<11> 이하, 첨부된 도면을 참조하여 본 발명의 구성 및 동작에 대하여 상세히 설명한다.

<12> 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 반도체의 고용량 MIM 커패시터 제조 과정에 대하여 도시한 도면이다.

<13> 즉, 도 2a를 참조하면, 반도체 메탈 라인(S10) 상에 MIM이 형성될 층간 절연막(S20)을 증착한다. 여기서, 층간 절연막(S20)의 두께를 조절하여 원하는 용량의 MIM 커패시터가 제조된다.

<14> 이후, 도 2b에 도시된 바와 같이, 층간 절연막(S20)에 대하여 USG, TEOS 등을 이용하여 PR 패터닝(S30)을 수행하며, 도 2c와 같이, MIM 형성부(S40)를 식각한다.

<15> 그리고, 도 2d를 참조하면, MIM 형성부(S40)를 식각한 상태에서, 하부 전극(S50)을 증착하고, 하부 전극(S50) 상에 인슐레이터(S60)를 증착하며, 증착된 인슐레이터(S60) 상에 상부 전극(S70)을 증착한다.

<16> 여기서, 하부 전극(S50) 층은 티타늄(Ti), 텅스텐(W), 질화 티타늄(TiN)의 물질을 사용하며, 인슐레이터(S60) 층은 산화 탄탈(TaO₂), 산화 알루미늄(Al₂O₃), 질화 실리콘(SiN) 등을 사용하며, 상부 전극(S70) 층은 루테늄(Ru), 백금(Pt), 질화 티타늄(TiN) 등을 사용한다.

<17> 이후, 도 2e에 도시된 바와 같이, PR 패터닝(S80)을 수행하고, 도 2f와 같이, 식각을 수행하여 MIM 커패시터를 제조할 수 있다.

<18> 다음으로, 도 3a 내지 도 3d는 본 발명의 다른 실시예에 따른 반도체의 고용량 MIM 커패시터 제조 과정에 대하여 도시한 도면이다.

<19> 즉, 도 3a를 참조하면, 반도체 메탈 라인(SS10) 상에 MIM이 형성될 충간 절연막(SS20)을 증착한다. 여기서, 충간 절연막(SS20)의 두께를 조절하여 원하는 용량의 MIM 커패시터가 제조된다.

<20> 이후, 도 3b에 도시된 바와 같이, 충간 절연막(S20)에 대하여 CMP 또는 에치백 공정을 통해 평탄화(SS30)시켜 패터닝(patterning)한다.

<21> 그리고, 도 3c와 같이, 패터닝된 상태에서, 하부 전극(SS40)을 증착하고, 하부 전극(SS40) 상에 인슐레이터(SS50)를 증착하며, 증착된 인슐레이터(SS50) 상에 상부 전극(SS60)을 증착한다.

<22> 여기서, 하부 전극(SS40) 층은 티타늄(Ti), 텅스텐(W), 질화 티타늄(TiN)의 물질을 사용하며, 인슐레이터(SS50) 층은 산화 탄탈(TaO₂), 산화 알루미늄(Al₂O₃), 질화 실리콘(SiN) 등을 사용하며, 상부 전극(SS60) 층은 루테늄(Ru), 백금(Pt), 질화 티타늄(TiN) 등을 사용한다.

<23> 최종적으로, 도 3d에 도시된 바와 같이, CMP 또는 에치백 공정 과정을 통해 MIM 커패시터를 제조할 수 있다.

【발명의 효과】

<24> 상기와 같이 설명한 본 발명은 메탈 라인 상에 절연막을 증착 및 식각한 후, 그 위에 하부 전극, 인슐레이터, 상부 전극 층을 순차적으로 증착한 다음에 식각 또는 CMP를 통해 원하는 형상의 MIM 커패시터를 제조함으로써, 절연막 두께에 해당하는 만큼의 용량 증대를 도모할 수 있어 고용량을 확보할 수 있으며, 용량 확보를 위해 전극 면적을 증가시킬 필요가 없어 고집적화 측면에서 유리하다.

<25> 또한, 인슐레이터를 식각할 경우, 하부 전극 위에 메탈 표면에서 스퍼터링되어 인슐레이터 층벽에 재 증착되는 메탈성 폴리머로 인하여 발생되는 쇼트 현상을 없앨 수 있어 반도체 공정 마진 및 소자 특성을 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체의 엠아이엠(Metal Insulator Metal, MIM) 커패시터 제조 방법에 있어서,
상기 반도체 메탈 라인 상에 층간 절연막을 증착하는 단계와,
상기 층간 절연막에 대하여 PR 패터닝을 수행한 후, MIM 형성부를 식각하는 단계와,
상기 식각된 상태에서, 하부 전극, 인슐레이터, 상부 전극 층을 순차적으로 증착하는
단계와,
상기 상부 전극이 증착된 상태에서, PR 패터닝 및 식각을 수행하여 MIM 커패시터를 제조
하는 단계
를 포함하는 것을 특징으로 하는 반도체의 고용량 MIM 커패시터 제조 방법.

【청구항 2】

제 1 항에 있어서,
상기 층간 절연막의 두께를 조절하여 원하는 용량의 MIM 커패시터를 제조하는 것을 특징
으로 하는 반도체의 고용량 MIM 커패시터 제조 방법.

【청구항 3】

제 2 항에 있어서,
상기 층간 절연막은, USG, TEOS 등을 이용하여 PR 패터닝을 수행하는 것을 특징으로 하
는 반도체의 고용량 MIM 커패시터 제조 방법.

【청구항 4】

제 1 항에 있어서,

상기 하부 전극 층은, 티타늄(Ti), 텅스텐(W), 질화 티타늄(TiN)의 물질을 사용하는 것을 특징으로 하는 반도체의 고용량 MIM 커패시터 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 인슐레이터 층은, 산화 탄탈(TaO₂), 산화 알루미늄(Al₂O₃), 질화 실리콘(SiN)을 사용하는 것을 특징으로 하는 반도체의 고용량 MIM 커패시터 제조 방법.

【청구항 6】

제 1 항에 있어서,

상기 상부 전극 층은, 루테늄(Ru), 백금(Pt), 질화 티타늄(TiN)을 사용하는 것을 특징으로 하는 반도체의 고용량 MIM 커패시터 제조 방법.

【청구항 7】

반도체의 MIM 커패시터 제조 방법에 있어서,

상기 반도체 메탈 라인 상에 층간 절연막을 증착하는 단계와,

상기 층간 절연막을 평탄화시켜 패터닝(patterning)하는 단계와,

상기 패터닝된 상태에서, 하부 전극, 인슐레이터, 상부 전극 층을 순차적으로 증착하는 단계와,

상기 상부 전극이 증착된 상태에서, CMP 공정 과정을 통해 MIN 커패시터를 제조하는 단계

를 포함하는 것을 특징으로 하는 반도체의 고용량 MIM 커패시터 제조 방법.

【청구항 8】

제 7 항에 있어서,

상기 층간 절연막의 두께를 조절하여 원하는 용량의 MIM 커패시터를 제조하는 것을 특징으로 하는 반도체의 고용량 MIM 커패시터 제조 방법.

【청구항 9】

제 7 항에 있어서,

상기 층간 절연막은, CMP 공정을 통해 평탄화되어 패터닝(patterning)되는 것을 특징으로 하는 반도체의 고용량 MIM 커패시터 제조 방법.

【청구항 10】

제 9 항에 있어서,

상기 층간 절연막은, 에치백 공정을 통해 평탄화되어 패터닝(patterning)되는 것을 특징으로 하는 반도체의 고용량 MIM 커패시터 제조 방법.

【청구항 11】

제 7 항에 있어서,

상기 하부 전극 층은, 티타늄(Ti), 텅스텐(W), 질화 티타늄(TiN)의 물질을 사용하는 것을 특징으로 하는 반도체의 고용량 MIM 커패시터 제조 방법.

【청구항 12】

제 7 항에 있어서,

상기 인슐레이터 층은, 산화 탄탈(TaO₂), 산화 알루미늄(Al₂O₃), 질화 실리콘(SiN)을 사용하는 것을 특징으로 하는 반도체의 고용량 MIM 커패시터 제조 방법.

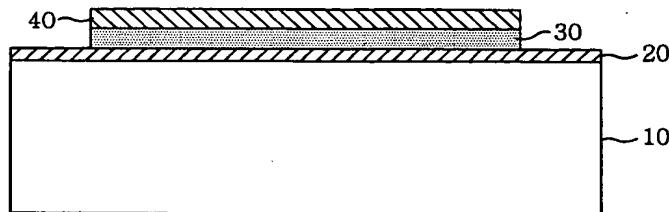
【청구항 13】

제 7 항에 있어서,

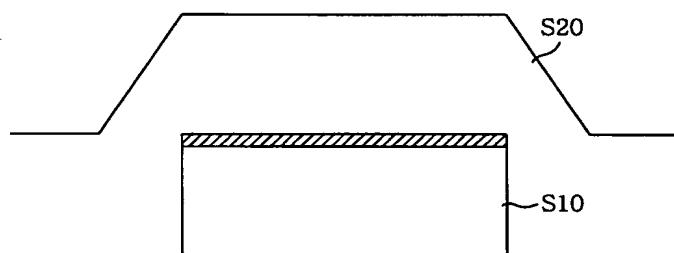
상기 상부 전극 층은, 루테늄(Ru), 백금(Pt), 질화 티타늄(TiN)을 사용하는 것을 특징으로 하는 반도체의 고용량 MIM 커패시터 제조 방법.

【도면】

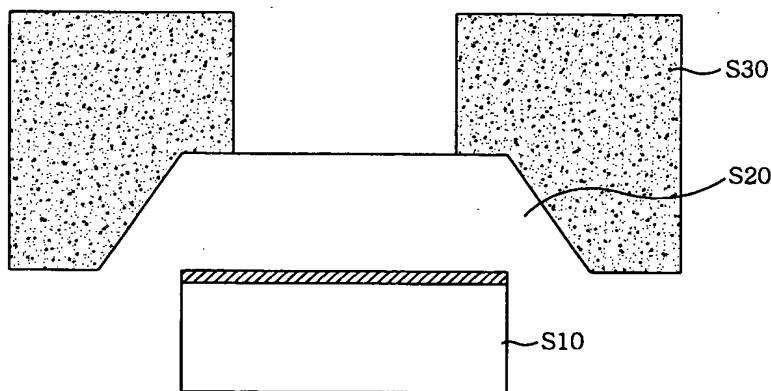
【도 1】



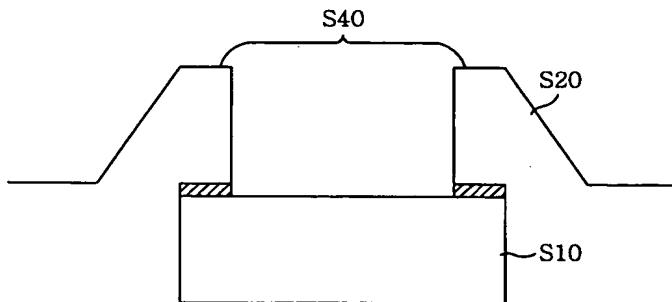
【도 2a】



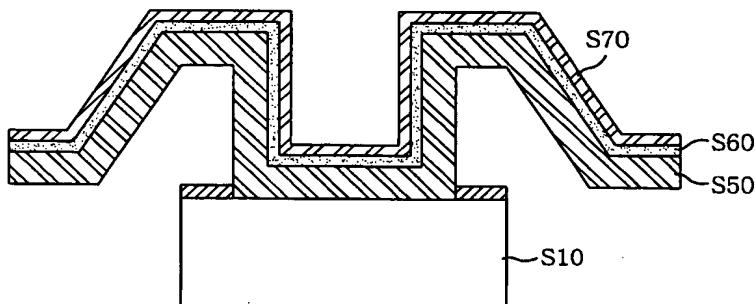
【도 2b】



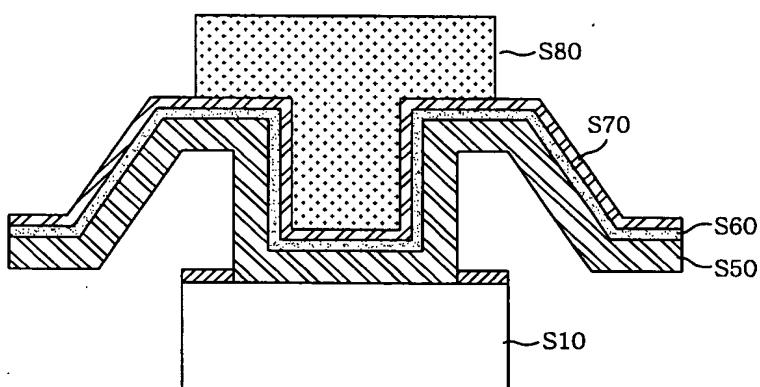
【도 2c】



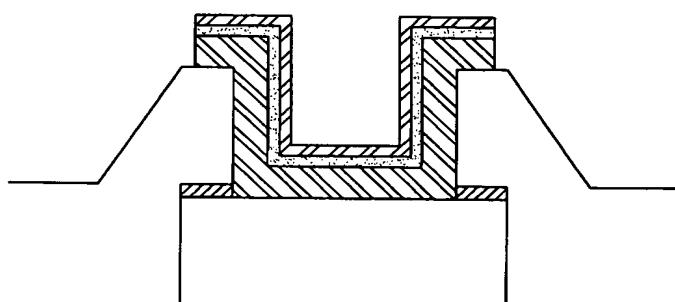
【도 2d】



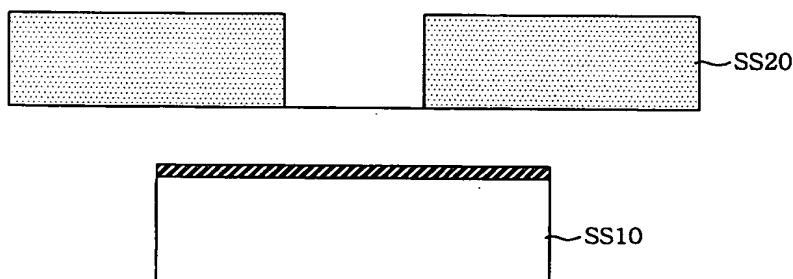
【도 2e】



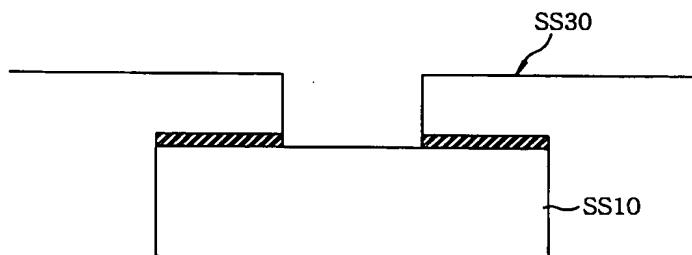
【도 2f】



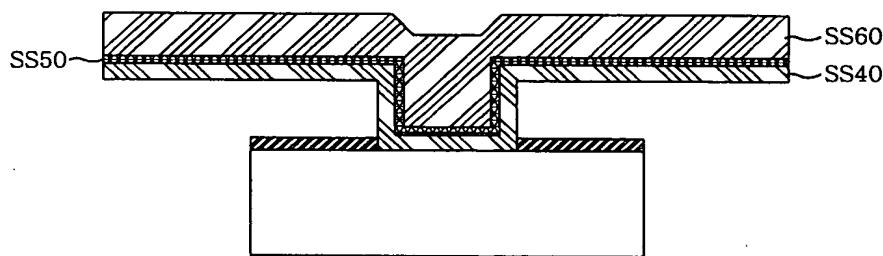
【도 3a】



【도 3b】



【도 3c】



【도 3d】

